

日 本 国 特 許 庁
JAPAN PATENT OFFICE

S. Aino et al.
7/7/03
Q76416
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月11日

出 願 番 号

Application Number:

特願2002-202558

[ST.10/C]:

[JP 2002-202558]

出 願 人

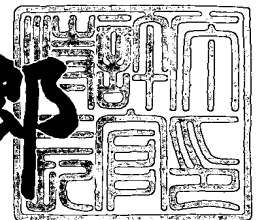
Applicant(s):

日本電気株式会社

2003年 5月 6日

特 許 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3032910

【書類名】 特許願

【整理番号】 66206668

【提出日】 平成14年 7月11日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 11/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 愛野 茂幸

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 山崎 茂雄

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088328

 【弁理士】

 【氏名又は名称】 金田 暢之

 【電話番号】 03-3585-1882

【選任した代理人】

 【識別番号】 100106297

 【弁理士】

 【氏名又は名称】 伊藤 克博

【選任した代理人】

 【識別番号】 100106138

 【弁理士】

 【氏名又は名称】 石橋 政幸

【手数料の表示】

 【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項 1】 プロセッサをそれぞれ備えたモジュールを複数含む情報処理装置であって、

前記各モジュールに含まれ、該モジュール内のプロセッサからリードアクセスおよびライトアクセスが可能な第 1 の記憶手段と、

前記各モジュールに含まれ、該モジュール内のプロセッサからはリードアクセスおよびライトアクセスが可能であり、他のモジュール内のプロセッサからはライトアクセスが可能な第 2 の記憶手段と、

前記各モジュールに含まれ、該モジュールが通常の運用中には、前記プロセッサが同じモジュール内の前記第 1 の記憶手段を用いて動作し、前記第 2 の記憶手段のデータが他のモジュール内のプロセッサにより更新され、通常の運用から一旦外れた前記モジュールが再び通常の運用に戻るとき、該モジュール内の前記プロセッサが該モジュール内の前記第 2 の記憶手段を用いて動作を開始するように、前記第 1 の記憶手段および前記第 2 の記憶手段と同じモジュール内のプロセッサおよび前記他のモジュール内のプロセッサとの接続を制御する制御手段とを有する情報処理装置。

【請求項 2】 前記制御手段は、前記モジュールが通常の運用中には、自身と同じモジュール内の前記プロセッサのリードアクセスが自身と同じモジュール内の前記第 1 の記憶手段に対して行われ、ライトアクセスが自身と同じモジュール内の前記第 1 の記憶手段に加えて前記他のモジュール内の前記第 2 の記憶手段に対しても行われ、前記他のモジュール内の前記プロセッサのライトアクセスが自身と同じモジュール内の前記第 2 の記憶手段に対して行われ、通常の運用から一旦外れた後、再び通常の運用に戻るまでの間、自身と同じモジュール内の前記プロセッサのリードアクセスが自身と同じモジュール内の前記第 2 の記憶手段に対して行われ、ライトアクセスが自身と同じモジュール内の前記第 1 の記憶手段および前記第 2 の記憶手段と前記他のモジュール内の前記第 2 の記憶手段に対して行われるように前記接続を切り替える、請求項 1 記載の情報処理装置。

【請求項 3】 通常の運用から外れた前記モジュールが再び通常の運用に戻るまでの間、自身と同じモジュール内の前記プロセッサからの前記第 2 の記憶手段へのアクセスの合間に、前記第 2 の記憶手段内のデータを前記第 1 の記憶手段にコピーするデータコピー手段をさらに有する、請求項 2 記載の情報処理装置。

【請求項 4】 前記データコピー手段は、ダイレクトメモリアクセスにより前記第 2 の記憶手段のデータを前記第 1 の記憶手段にコピーする、請求項 3 記載の情報処理装置。

【請求項 5】 前記第 2 の記憶手段の全てのデータが前記第 1 の記憶手段にコピーされると通常の運用に戻る、請求項 3 または 4 記載の情報処理装置。

【請求項 6】 前記複数のモジュールがリング状になるように前記制御部が他のモジュール内の前記第 2 の記憶手段に接続されている、請求項 1 ～ 5 のいずれか 1 項に記載の情報処理装置。

【請求項 7】 いずれかのモジュールが故障しても他のモジュールにより処理が継続されるフォルトトレラントコンピュータである、請求項 1 ～ 6 のいずれか 1 項に記載の情報処理装置。

【請求項 8】 複数の前記モジュールの前記プロセッサは互いにクロック同期しており、同じ命令を同時に実行するロックステップ型のフォルトトレラントコンピュータである、請求項 7 記載の情報処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、クロック同期させた複数のコンピューティングモジュールで同じ命令列を同時に処理するロックステップフォルトトレラントコンピュータのようなフォルトトレラントコンピュータに関し、特に、他のコンピューティングモジュールとの動作の同一性が崩れて運用から切り離されたコンピューティングモジュールを他のコンピューティングモジュールに同期させる処理の高速化に関する。

【 0 0 0 2 】

【従来の技術】

従来のロックステップフォルトトレラントコンピュータは、複数のコンピュー

ティングモジュールを有し、これら複数のコンピューティングモジュールで同じ命令を同時に実行している。そして、故障あるいはその他の何らかの要因でいずれかのコンピューティングモジュールが他のコンピューティングモジュールと異なる動作をすることがある。

【0003】

ロックステップフォルトトレラントコンピュータは、他のコンピューティングモジュールと異なる動作をした（すなわちロックステップが外れた）コンピューティングモジュールを検出すると、そのコンピューティングモジュールを一旦運用状態から切り離す。

【0004】

コンピューティングモジュールのロックステップが外れる要因には様々なものがある。そして、ロックステップの外れに対する対処方法は要因により異なる。

【0005】

ロックステップが外れる1つの要因として、コンピューティングモジュール内で起こる固定的な故障がある。固定的な故障とは、一時的な擾乱や、自然に復旧するような故障でなく、何らかの修理を必要とするようなものである。

【0006】

いずれかのコンピューティングモジュールに固定的な故障が起きると、通常、故障したコンピューティングモジュールをロックステップフォルトトレラントコンピュータから取り出し、その代わりに他の正常なコンピューティングモジュールを取り付ける。

【0007】

ロックステップが外れる他の要因として、コンピューティングモジュールの製造上の差違により、一時的に動作タイミングが他のコンピューティングモジュールとずれることが考えられる。また、さらに他の要因として、 α 線などの影響によりメモリが一時的に誤動作することが考えられる。これらの場合、コンピューティングモジュールに固定的な故障が生じていないので、コンピューティングモジュールを交換する必要がない。

【0008】

固定的な故障が生じた場合にはコンピューティングモジュールを交換した後、固定的な故障が生じていない場合には交換せずにそのまま、運用状態から切り離されているコンピューティングモジュールを再び他のコンピューティングモジュールと同期させる（すなわち組み込みを行う）。

【 0 0 0 9 】

運用状態から切り離されていたコンピューティングモジュールを組み込むとき、ロックステップフォルトトレラントコンピュータは、組み込みを行うコンピューティングモジュールのメモリに他のコンピューティングモジュールのメモリの内容をコピーする。それ以降、新たに組み込まれたコンピューティングモジュールは他のコンピューティングモジュールと同じ動作をする。

【 0 0 1 0 】

【発明が解決しようとする課題】

従来のロックステップフォルトトレラントコンピュータは、運用状態から切り離されたコンピューティングモジュールを組み込むとき、全てのコンピューティングモジュールを停止させて、メモリ内容のコピーを行っていた。これは、全てのコンピューティングモジュールの内部の状態を完全に一致させるためである。

【 0 0 1 1 】

しかし、処理性能や記憶能力を向上させるために、近年、ロックステップフォルトトレラントコンピュータのコンピューティングモジュール内のメモリ容量は増大している。そして、現在、コンピューティングモジュール内のメモリの容量は数ギガバイトにも及んでいる。そのため、コンピューティングモジュール内のメモリの内容を全てコピーすることは長時間を要する。

【 0 0 1 2 】

そのため、従来のロックステップフォルトトレラントコンピュータは、運用状態から切り離されたコンピューティングモジュールを組み込むために、運用を長時間停止していた。

【 0 0 1 3 】

本発明の目的は、運用状態から切り離されたコンピューティングモジュールを組み込むときの停止時間の短いフォルトトレラントコンピュータを提供すること

である。

【 0 0 1 4 】

【課題を解決するための手段】

上記目的を達成するために、本発明の情報処理装置は、プロセッサをそれぞれ備えたモジュールを複数含む情報処理装置であって、

前記各モジュールに含まれ、該モジュール内のプロセッサからリードアクセスおよびライトアクセスが可能な第 1 の記憶手段と、

前記各モジュールに含まれ、該モジュール内のプロセッサからはリードアクセスおよびライトアクセスが可能であり、他のモジュール内のプロセッサからはライトアクセスが可能な第 2 の記憶手段と、

前記各モジュールに含まれ、該モジュールが通常の運用中には、前記プロセッサが同じモジュール内の前記第 1 の記憶手段を用いて動作し、前記第 2 の記憶手段のデータが他のモジュール内のプロセッサにより更新され、通常の運用から一旦外れた前記モジュールが再び通常の運用に戻るとき、該モジュール内の前記プロセッサが該モジュール内の前記第 2 の記憶手段を用いて動作を開始するように、前記第 1 の記憶手段および前記第 2 の記憶手段と同じモジュール内のプロセッサおよび前記他のモジュール内のプロセッサとの接続を制御する制御手段とを有している。

【 0 0 1 5 】

したがって、本発明の情報処理装置によれば、通常運用中、プロセッサは同じモジュール内の第 1 の記憶手段を用いて命令を実行し、第 2 の記憶手段は他のモジュールのプロセッサにより更新されており、故障など何らかの要因で通常運用から一旦外れたモジュールが再び通常運用に戻るとき、故障などが発生したモジュールのプロセッサにより用いられ、更新されてきた第 1 の記憶手段の代わりに、故障などが発生していない他のモジュールのプロセッサにより更新されてきた第 2 の記憶手段を用いる。

【 0 0 1 6 】

本発明の一態様によれば、前記制御手段は、前記モジュールが通常の運用中には、自身と同じモジュール内の前記プロセッサのリードアクセスが自身と同じモ

ジュール内の前記第 1 の記憶手段に対して行われ、ライトアクセスが自身と同じモジュール内の前記第 1 の記憶手段に加えて前記他のモジュール内の前記第 2 の記憶手段に対しても行われ、前記他のモジュール内の前記プロセッサのライトアクセスが自身と同じモジュール内の前記第 2 の記憶手段に対して行われ、通常の運用から一旦外れた後、再び通常の運用に戻るまでの間、自身と同じモジュール内の前記プロセッサのリードアクセスが自身と同じモジュール内の前記第 2 の記憶手段に対して行われ、ライトアクセスが自身と同じモジュール内の前記第 1 の記憶手段および前記第 2 の記憶手段と前記他のモジュール内の前記第 2 の記憶手段に対して行われるように前記接続を切り替える。

【 0 0 1 7 】

また、本発明の情報処理装置は、通常の運用から外れた前記モジュールが再び通常の運用に戻るまでの間、自身と同じモジュール内の前記プロセッサからの前記第 2 の記憶手段へのアクセスの合間に、前記第 2 の記憶手段内のデータを前記第 1 の記憶手段にコピーするデータコピー手段をさらに有してもよい。

【 0 0 1 8 】

したがって、通常運用から外れたモジュールは、第 2 の記憶手段を用いると共に、プロセッサによるアクセスの合間に、データコピー手段により第 2 の記憶手段のデータが第 1 の記憶手段にコピーされる。

【 0 0 1 9 】

本発明の一態様によれば、前記データコピー手段は、ダイレクトメモリアクセスにより前記第 2 の記憶手段のデータを前記第 1 の記憶手段にコピーする。

【 0 0 2 0 】

また、本発明の情報装置は、前記第 2 の記憶手段の全てのデータが前記第 1 の記憶手段にコピーされると通常の運用に戻ることとしてもよい。

【 0 0 2 1 】

本発明の一態様によれば、前記複数のモジュールがリング状になるように前記制御部が他のモジュール内の前記第 2 の記憶手段に接続されている。

【 0 0 2 2 】

本発明の一態様によれば、いずれかのモジュールが故障しても他のモジュール

により処理が継続されるフォルトトレラントコンピュータである。

【 0 0 2 3 】

本発明の一態様によれば、複数の前記モジュールの前記プロセッサは互いにクロック同期しており、同じ命令を同時に実行するロックステップ型のフォルトトレラントコンピュータである。

【 0 0 2 4 】

【発明の実施の形態】

従来技術として述べたように、ロックステップが外れる要因には、コンピューティングモジュールの固定的な故障と、そうでないものがある。固定的な故障が生じたコンピューティングモジュールは交換する必要がある。しかし、固定的な故障でない要因によりロックステップが外れたコンピューティングモジュールは、通常、交換されずそのまま組み込みが行われる。つまり、コンピューティングモジュールのロックステップが外れたとき、そのコンピューティングモジュールが交換されずにそのまま組み込まれることは少なくない。

【 0 0 2 5 】

本発明は、ロックステップの外れたコンピューティングモジュールを交換せずに組み込むときの、ロックステップフォルトトレラントコンピュータの停止時間を短縮するものである。

【 0 0 2 6 】

本発明の一実施形態について図面を参照して詳細に説明する。

【 0 0 2 7 】

図 1 は、本発明による一実施形態のロックステップフォルトトレラントコンピュータの構成を示すブロック図である。

【 0 0 2 8 】

図 1 を参照すると、ロックステップフォルトトレラントコンピュータは、コンピューティングモジュール 3 0 0、3 0 1 を有している。コンピューティングモジュール 3 0 0 とコンピューティングモジュール 3 0 1 は同じ構成である。

【 0 0 2 9 】

コンピューティングモジュール 3 0 0 はプロセッサ 1 0 1、1 0 2、メモリ 1

11, 112およびメモリ制御部121を有している。

【0030】

プロセッサ101とプロセッサ102は同じ構成でありバス200を共有している。プロセッサ101, 102のバス200にメモリ制御部121が接続されている。

【0031】

メモリ111とメモリ112は同じ構成である。メモリ111は信号線201でメモリ制御部121と接続されている。メモリ112は信号線203でメモリ制御部121と接続されている。

【0032】

コンピューティングモジュール301は、コンピューティングモジュール300と同様に、プロセッサ103, 104、メモリ113, 114およびメモリ制御部122を有している。

【0033】

プロセッサ103, 104はコンピューティングモジュール300のプロセッサ101, 102と同じものである。メモリ制御部122はコンピューティングモジュール300のメモリ制御部121と同じものである。メモリ113, 114はコンピューティングモジュール300のメモリ111, 112と同じものである。

【0034】

コンピューティングモジュール300のメモリ制御部121とコンピューティングモジュール301のメモリ制御部122は信号線202, 205で接続されている。

【0035】

以下、コンピューティングモジュール300に着目して説明する。

【0036】

プロセッサ101, 102はロックステップフォルトトレラントコンピュータに与えられた命令を実行する。プロセッサ101, 102は他のコンピューティングモジュール301のプロセッサ103, 104とクロック同期して同じ命令

を同時に実行する。命令列を実行するとき、プロセッサ 1 0 1, 1 0 2 はメモリに対してライトアクセスまたはリードアクセスを行う。

【 0 0 3 7 】

メモリ制御部 1 2 1 は、プロセッサ 1 0 1, 1 0 2 からのメモリアクセスおよびコンピューティングモジュール 3 0 1 からの信号線 2 0 5 を介したメモリアクセスのリクエストを切り替えてメモリ 1 1 1, 1 1 2 に伝える。また、メモリ制御部 1 2 1 は、メモリアクセスのリクエストに対するメモリからのレスポンスをプロセッサ 1 0 1, 1 0 2 に伝える。

【 0 0 3 8 】

リクエストはライトアクセスおよびリードアクセスのときにプロセッサからメモリに送られる。ライトアクセスのリクエストには書き込みデータが含まれる。また、レスポンスはリードアクセスのときにメモリからプロセッサに送られる。レスポンスには読出しデータが含まれる。

【 0 0 3 9 】

図 2 は、本実施形態のメモリ制御部の詳細な構成を示すブロック図である。図 2 を参照すると、メモリ制御部 1 2 1 は、切替回路 4 0 0, 4 0 1, 4 0 2, 4 0 3 および DMA 回路 4 0 4 を有している。

【 0 0 4 0 】

切替回路 4 0 0 は、いずれかのメモリからレスポンスが来ると、信号線 2 0 7 を信号線 2 0 6 に接続し、レスポンスを信号線 2 0 6 に伝える。信号線 2 0 6 はバス 2 0 0 に等しい信号線であり、レスポンスはプロセッサ 1 0 1, 1 0 2 に伝えられる。また、切り替え回路 4 0 0 は、プロセッサ 1 0 1, 1 0 2 からいずれかのメモリへのリクエストがあるとき信号線 2 0 6 を信号線 2 0 2 に接続する。

【 0 0 4 1 】

切替回路 4 0 1 は、組み込み処理中にメモリ 1 1 2 からのレスポンスが来ると、信号線 2 0 3 を信号線 2 0 7 に接続してメモリ 1 1 2 からのレスポンスを選択する。また、切替回路 4 0 1 は、通常時にメモリ 1 1 1 からのレスポンスが来ると、信号線 2 0 1 を信号線 2 0 7 に接続してメモリ 1 1 1 からのレスポンスを選択する。なお、通常時とは、コンピューティングモジュール 3 0 0 が他のコンピ

ューティングモジュール 3 0 1 と同期して動作している状態をいう。また、組み込み処理中とは、コンピューティングモジュール 3 0 0 の組み込みの処理が開始され、その処理が終了していない状態をいう。

【 0 0 4 2 】

切替回路 4 0 2 は、信号線 2 0 2 を介してプロセッサ 1 0 1， 1 0 2 からのリクエストが来ると、必ず信号線 2 0 2 を信号線 2 0 1 に接続して、リクエストをメモリ 1 1 1 に伝える。また、切替回路 4 0 2 は、組み込み処理中に信号線 2 0 3 を介して DMA 転送（コピー）によるライトアクセスのリクエストが来ると、信号線 2 0 3 を信号線 2 0 1 に接続し、リクエストをメモリ 1 1 1 に伝える。

【 0 0 4 3 】

切替回路 4 0 3 は、組み込み処理中に信号線 2 0 2 を介してリクエストが来ると、信号線 2 0 2 を信号線 2 0 3 に接続し、リクエストをメモリ 1 1 2 に伝える。また、切替回路 4 0 3 は、通常時に信号線 2 0 5 を介してコンピューティングモジュール 3 0 1 からのリクエストが来ると、信号線 2 0 5 を信号線 2 0 3 に接続しリクエストをメモリ 1 1 2 に伝える。また、切替回路 4 0 3 は、組み込み処理中であり信号線 2 0 2 からのリクエストが来ていないとき、信号線 2 0 8 を信号線 2 0 3 に接続し、DMA 回路 4 0 4 からの DMA 転送（コピー）によるリードアクセスのリクエストをメモリ 1 1 2 に伝える。

【 0 0 4 4 】

DMA 回路 4 0 4 は、組み込み処理中であり信号線 2 0 2 からのリクエストが来ていないとき信号線 2 0 8 を介して、メモリ 1 1 2 からメモリ 1 1 1 への DMA 転送を行う。DMA 転送において、DMA 回路 4 0 4 は、メモリ 1 1 2 の全メモリ領域に対して、順次、データを読出してメモリ 1 1 1 に書き込む。DMA 転送の途中にプロセッサ 1 0 1， 1 0 2 から信号線 2 0 2 を介してメモリ 1 1 1， 1 1 2 へのリクエストがあれば、DMA 回路 4 0 4 は DMA 転送を中断する。

【 0 0 4 5 】

本実施形態のロックステップフォルトトレラントコンピュータの通常時の動作について説明する。通常時には、全てのコンピューティングモジュール 3 0 0， 3 0 1 が同じ動作をする。

【0046】

まず、通常時のリードアクセスのリクエストについて説明する。

【0047】

図3は、通常時におけるコンピューティングモジュールのリードアクセス動作を説明するための図である。

【0048】

プロセッサ101、102によるリードアクセスのリクエストは、信号線206（すなわちバス200）を介して切替回路400に送られる。信号線206からのリクエストは切替回路400により信号線202に伝達される。

【0049】

リクエストは信号線202を介してコンピューティングモジュール301に送られる。このリクエストは、メモリ114に到達するが、メモリ114からのレスポンスがコンピューティングモジュール301内の切替回路で止まる。

【0050】

また、リクエストは信号線202を介して切替回路403に送られるが、そこで止まりメモリ112に到達しない。

【0051】

また、リクエストは信号線202を介して切替回路402に送られる。リクエストは切替回路402により信号線201に伝達され、メモリ111に到達する。また、リクエストは信号線201を介して切替回路401にも到達するが、そこで止まる。

【0052】

プロセッサ101、102からのリクエストによってメモリ111から読み出されたデータを含むレスポンスは信号線201を介して切替回路401に送られる。メモリ111からのレスポンスは、切替回路401により信号線207に伝達され、切替回路400に到達する。そして、読出しデータを含むこのレスポンスは切替回路400により信号線206に伝達され、プロセッサ101、102に到達する。

【0053】

このように、通常時には、図 3 に示したようにメモリ 1 1 1 からデータが読み出される。

【 0 0 5 4 】

次に、通常時のライトアクセスのリクエストについて説明する。

【 0 0 5 5 】

図 4 は、通常時におけるコンピューティングモジュールのライトアクセス動作を説明するための図である。

【 0 0 5 6 】

プロセッサ 1 0 1， 1 0 2 によるライトアクセスのリクエストは、信号線 2 0 6（すなわちバス 2 0 0）を介して切替回路 4 0 0 に送られる。信号線 2 0 6 からのリクエストは切替回路 4 0 0 により信号線 2 0 2 に伝達される。

【 0 0 5 7 】

リクエストは信号線 2 0 2 を介してコンピューティングモジュール 3 0 1 に送られる。このリクエストは、コンピューティングモジュール 3 0 1 内のメモリ 1 1 4 に到達する。これによりメモリ 1 1 4 にデータが書き込まれる。

【 0 0 5 8 】

また、リクエストは信号線 2 0 2 を介して切替回路 4 0 3 に送られるが、そこで止まりメモリ 1 1 2 に到達しない。

【 0 0 5 9 】

また、リクエストは信号線 2 0 2 を介して切替回路 4 0 2 に送られる。リクエストは切替回路 4 0 2 により信号線 2 0 1 に伝達され、メモリ 1 1 1 に到達する。これによりメモリ 1 1 1 にデータが書き込まれる。

【 0 0 6 0 】

このように、通常時には、図 4 に示したようにメモリ 1 1 1 にデータが書き込まれる。また、図示されていないが、コンピューティングモジュール 3 0 1 のメモリ 1 1 4 にもプロセッサ 1 0 1， 1 0 2 により同じデータが書き込まれる。さらに、コンピューティングモジュール 3 0 1 のプロセッサ 1 0 3， 1 0 4 もプロセッサ 1 0 1， 1 0 2 と同じ動作をしているので、図 4 に示したように、メモリ 1 1 2 にも同じデータが書き込まれる。

【 0 0 6 1 】

本実施形態のロックステップフォルトトレラントコンピュータにおいて、いずれかのコンピューティングモジュールのロックステップが外れてから、組み込み処理中を経て、組み込みが完了するまでの動作について説明する。

【 0 0 6 2 】

ロックステップが外れると、ロックステップフォルトトレラントコンピュータは全てのコンピューティングモジュール 3 0 0, 3 0 1 を一旦停止させる。次に、ロックステップフォルトトレラントコンピュータは、その時点でプロセッサ 1 0 1, 1 0 2, 1 0 3, 1 0 4 上で動作していたプロセスのコンテキストをメモリに格納する。

【 0 0 6 3 】

次に、ロックステップフォルトトレラントコンピュータは、メモリに格納したプロセスのコンテキストを全てのコンピューティングモジュールのプロセッサにロードする。

【 0 0 6 4 】

次に、ロックステップの外れていないコンピューティングモジュールは、通常時の動作を再開する。また、ロックステップの外れたコンピューティングモジュールは、組み込み処理を開始する。

【 0 0 6 5 】

組み込み処理中のコンピューティングモジュールの動作について説明する。

【 0 0 6 6 】

まず、組み込み処理中のリードアクセスについて説明する。

【 0 0 6 7 】

図 5 は、組み込み処理中におけるコンピューティングモジュールのリードアクセスの動作を説明するための図である。ここでロックステップが外れたのはコンピューティングモジュール 3 0 0 であるとする。

【 0 0 6 8 】

プロセッサ 1 0 1, 1 0 2 によるリードアクセスのリクエストは、信号線 2 0 6 (すなわちバス 2 0 0) を介して切替回路 4 0 0 に送られる。信号線 2 0 6 か

らのリクエストは切替回路 4 0 0 により信号線 2 0 2 に伝達される。

【 0 0 6 9 】

リクエストは信号線 2 0 2 を介してコンピューティングモジュール 3 0 1 に送られる。このリクエストは、メモリ 1 1 4 に到達するが、メモリ 1 1 4 からのレスポンスがコンピューティングモジュール 3 0 1 内の切替回路で止まる。

【 0 0 7 0 】

また、リクエストは信号線 2 0 2 を介して切替回路 4 0 2 に送られる。このリクエストはメモリ 1 1 1 に到達するが、メモリ 1 1 1 からのレスポンスが切替回路 4 0 1 で止まる。

【 0 0 7 1 】

また、リクエストは信号線 2 0 2 を介して切替回路 4 0 3 に送られる。このリクエストは切替回路 4 0 3 により信号線 2 0 3 に伝達され、メモリ 1 1 2 に到達する。

【 0 0 7 2 】

プロセッサ 1 0 1, 1 0 2 からのリクエストによってメモリ 1 1 2 から読み出されたデータを含むレスポンスは信号線 2 0 3 を介して切替回路 4 0 1 に到達する。また、このレスポンスは切替回路 4 0 2 にも到達するが、そこで止まる。

【 0 0 7 3 】

そして、このレスポンスは、切替回路 4 0 1 により信号線 2 0 7 に伝達され、切替回路 4 0 0 に到達する。メモリ 1 1 2 からの読出しデータを含むこのレスポンスは切替回路 4 0 0 により信号線 2 0 6 に伝達され、プロセッサ 1 0 1, 1 0 2 に到達する。

【 0 0 7 4 】

このように、組み込み処理中には、図 5 に示したようにメモリ 1 1 2 からのデータが読み出される。

【 0 0 7 5 】

次に、組み込み処理中のライトアクセスのリクエストについて説明する。

【 0 0 7 6 】

図 6 は、組み込み処理中におけるコンピューティングモジュールのライトアク

セス動作を説明するための図である。

【0077】

プロセッサ101, 102によるライトアクセスのリクエストは、信号線206（すなわち200）を介して切替回路400に送られる。信号線206からのリクエストは切替回路400により信号線202に伝達される。

【0078】

リクエストは信号線202を介してコンピューティングモジュール301に送られる。このリクエストは、コンピューティングモジュール301内のメモリ114に到達する。これによりメモリ114にデータが書き込まれる。

【0079】

また、リクエストは信号線202を介して切替回路402に送られる。リクエストは切替回路402により信号線201に伝達され、メモリ111に到達する。これによりメモリ111にデータが書き込まれる。

また、リクエストは信号線202を介して切替回路403に送られる。リクエストは切替回路403により信号線203に伝達され、メモリ112に到達する。これによりメモリ112にデータが書き込まれる。

【0080】

このように、組み込み処理中には、図6に示したようにメモリ111、112にデータが書き込まれる。また、図示されていないが、コンピューティングモジュール301のメモリ114にもプロセッサ101, 102により同じデータが書き込まれる。

【0081】

組み込み処理中には、コンピューティングモジュールは上述したプロセッサ101, 102からのリードアクセスおよびライトアクセスと並行して、DMA回路404によりメモリ内容のコピーを行う。

【0082】

図7は、組み込み処理中におけるコンピューティングモジュールのメモリコピー動作を説明するための図である。

【0083】

組み込み処理中に、信号線202からメモリ112へのアクセスが無いことを検出すると、DMA回路404は、信号線208を介してメモリ112の全メモリ領域に対するリードリクエストを、順次、切替回路403に入力する。

【0084】

このリクエストは、切替回路403により信号線203に伝達される。これにより、メモリ112のデータが、順次、読み出される。

【0085】

そして、読み出されたデータを含むレスポンスは切替回路401に到達するが、ここで止まる。

また、このレスポンスは、メモリ111に対するライトアクセスのリクエストとして切替回路402に到達する。このリクエストは、切替回路402により信号線201に伝達され、メモリ111に到達する。これにより、順次、メモリ112から読み出されたデータがメモリ111に書き込まれる。これにより、メモリ内容のコピーが行われる。

【0086】

なお、メモリコピーの途中に、プロセッサ101、102から信号線202を介してメモリ111、112へのリクエストがあると、ロックステップフォルトトレラントコンピュータはメモリコピーを中断し、プロセッサ101、102からのリクエストを処理する。リクエストがライトアクセスのものならメモリ111とメモリ112に同じデータが書き込まれる。

【0087】

これにより、メモリーコピーだけでなく、プロセッサ101、102による演算結果についてもメモリ101、102に同じデータが書き込まれる。

【0088】

メモリコピーが全メモリ領域について完了すると、ロックステップフォルトトレラントコンピュータはコンピューティングモジュール300を通常状態に遷移させる。

【0089】

固定的な故障でなくロックステップが外れたコンピューティングモジュールは

、交換されなければ、メモリ 1 1 1, 1 1 2 の内容を保持している。そして、メモリ 1 1 2 の内容はロックステップの外れていないコンピューティングモジュールによって書き込まれたものなので、ロックステップの外れていないコンピューティングモジュールの内容と同様に正常である。

【 0 0 9 0 】

本実施形態によれば、ロックステップの外れたコンピューティングモジュールをそのまま運用に組み込む場合、通常時には他のコンピューティングモジュールによってデータが書き込まれていたメモリ 1 1 2 を用いて、組み込み処理中のコンピューティングモジュールは命令列を実行する処理を開始することができる。

【 0 0 9 1 】

そのため、そのコンピューティングモジュールが即座に他のコンピューティングモジュールと同じ動作を開始することができる。また、組み込み処理中のコンピューティングモジュールは、命令列を実行する処理と並行してメモリコピーを行うので、従来のようにメモリコピー中にロックステップフォルトトレラントコンピュータを停止しておく必要が無い。したがって、本実施形態のロックステップフォルトトレラントコンピュータは短い停止時間で動作を再開することができる。

【 0 0 9 2 】

なお、本実施形態では、ロックステップフォルトトレラントコンピュータが 2 つのコンピューティングモジュール 3 0 0, 3 0 1 を有する構成を例示したが、本発明はそれに限定されない。コンピューティングモジュールは複数であればよい。コンピューティングモジュールが 3 つ以上の場合、各コンピューティングモジュールのメモリ制御部はリング状に接続されてもよい。また、コンピューティングモジュールの数が偶数であれば、2 つづつで対をなし、対をなすコンピューティングモジュールのメモリ制御部が本実施形態の例と同様に相互に接続されてもよい。

【 0 0 9 3 】

また、本実施形態ではロックステップフォルトトレラントコンピュータを例示したが、本発明はそれに限定されない。プロセッサとメモリを含む回路が複数存

在し、それらの内部状態を一致させることのある装置であれば、本発明が適用可能である。

【0094】

【発明の効果】

本発明の情報処理装置によれば、通常運用中、プロセッサは同じモジュール内の第1の記憶手段を用いて命令を実行し、第2の記憶手段は他のモジュールのプロセッサにより更新されており、故障など何らかの要因で通常運用から一旦外れたモジュールが再び通常運用に戻るとき、故障などが発生したモジュールのプロセッサにより用いられ、更新されてきた第1の記憶手段の代わりに、故障などが発生していない他のモジュールのプロセッサにより更新されてきた第2の記憶手段を用いることにより、短い時間で正常な動作を開始することができる。

【0095】

また、通常運用から外れたモジュールは、第2の記憶手段を用いると共に、プロセッサによるアクセスの合間に、データコピー手段により第2の記憶手段のデータが第1の記憶手段にコピーされるので、通常運用に戻るためのメモリコピーを完了する前に、短時間で正常な動作を再開することができる。

【図面の簡単な説明】

【図1】

本発明による一実施形態のロックステップフォルトトレラントコンピュータの構成を示すブロック図である。

【図2】

本実施形態のメモリ制御部の詳細な構成を示すブロック図である。

【図3】

通常時におけるコンピューティングモジュールのリードアクセス動作を説明するための図である。

【図4】

通常時におけるコンピューティングモジュールのライトアクセス動作を説明するための図である。

【図5】

組み込み処理中におけるコンピューティングモジュールのリードアクセスの動作を説明するための図である。

【図 6】

組み込み処理中におけるコンピューティングモジュールのライトアクセス動作を説明するための図である。

【図 7】

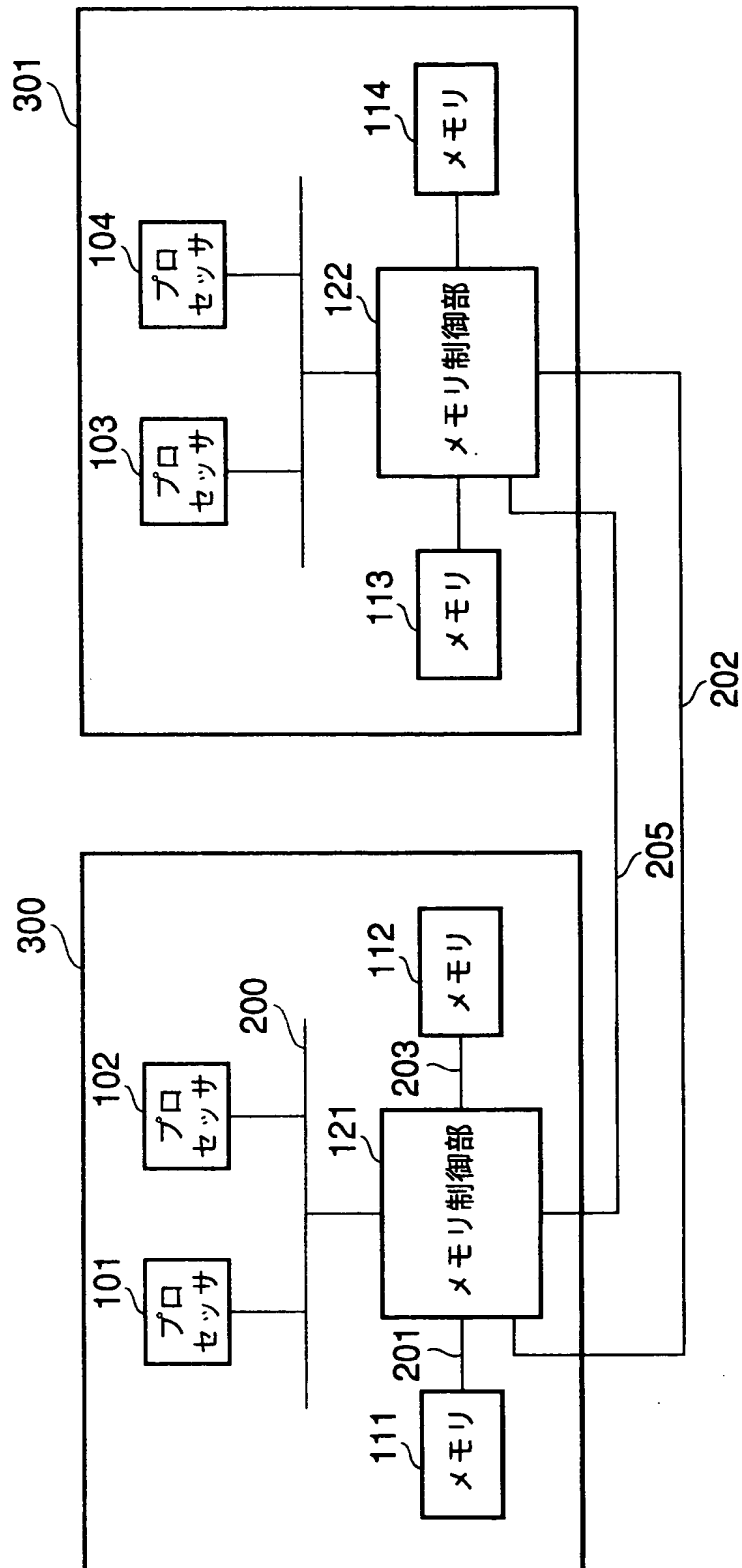
組み込み処理中におけるコンピューティングモジュールのメモリコピー動作を説明するための図である。

【符号の説明】

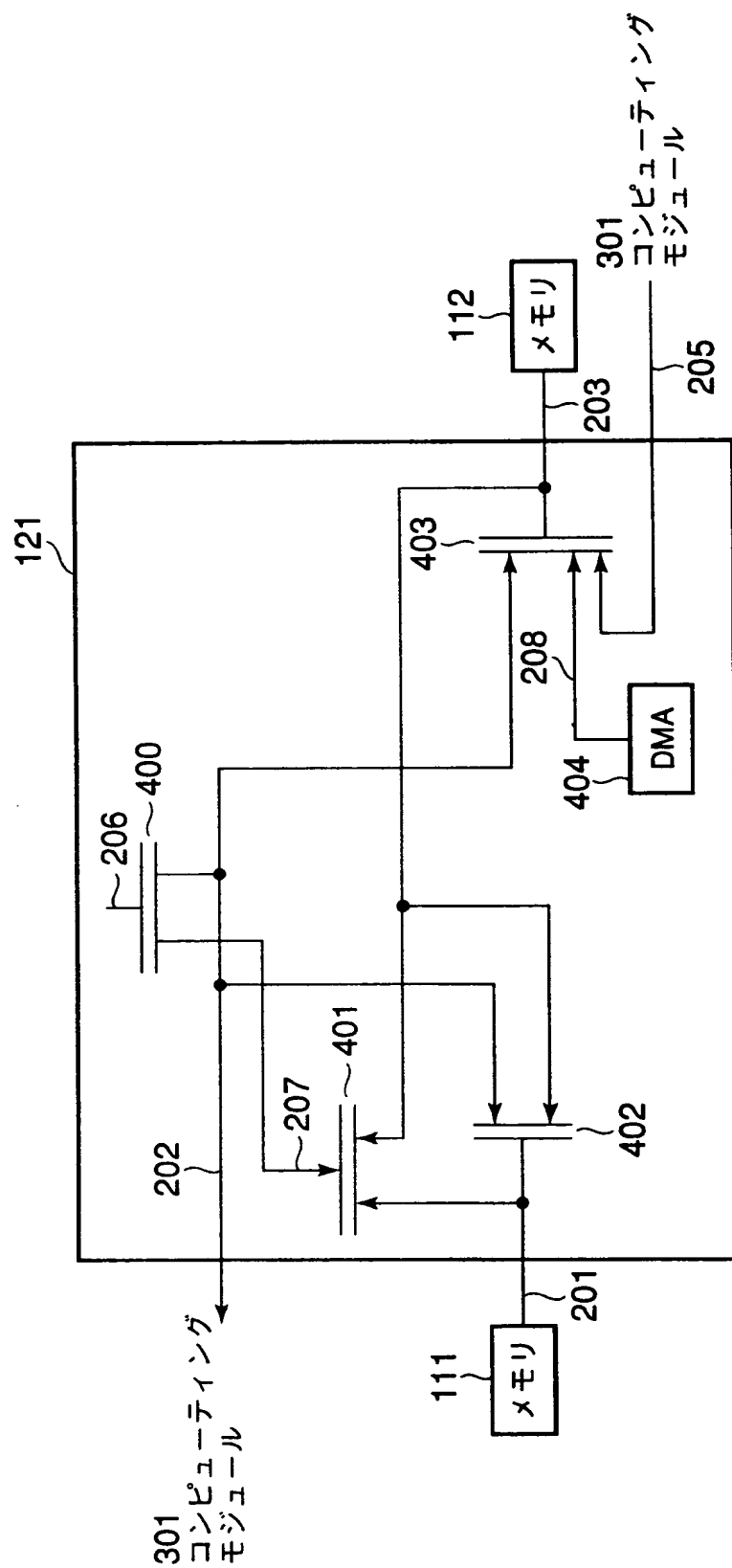
1 0 1, 1 0 2	プロセッサ
1 1 1, 1 1 2	メモリ
1 2 1, 1 2 2	メモリ制御部
2 0 0	バス
2 0 1 ~ 2 0 8	信号線
3 0 0, 3 0 1	コンピューティングモジュール
4 0 0 ~ 4 0 3	切替回路
4 0 4	DMA回路

【書類名】 図面

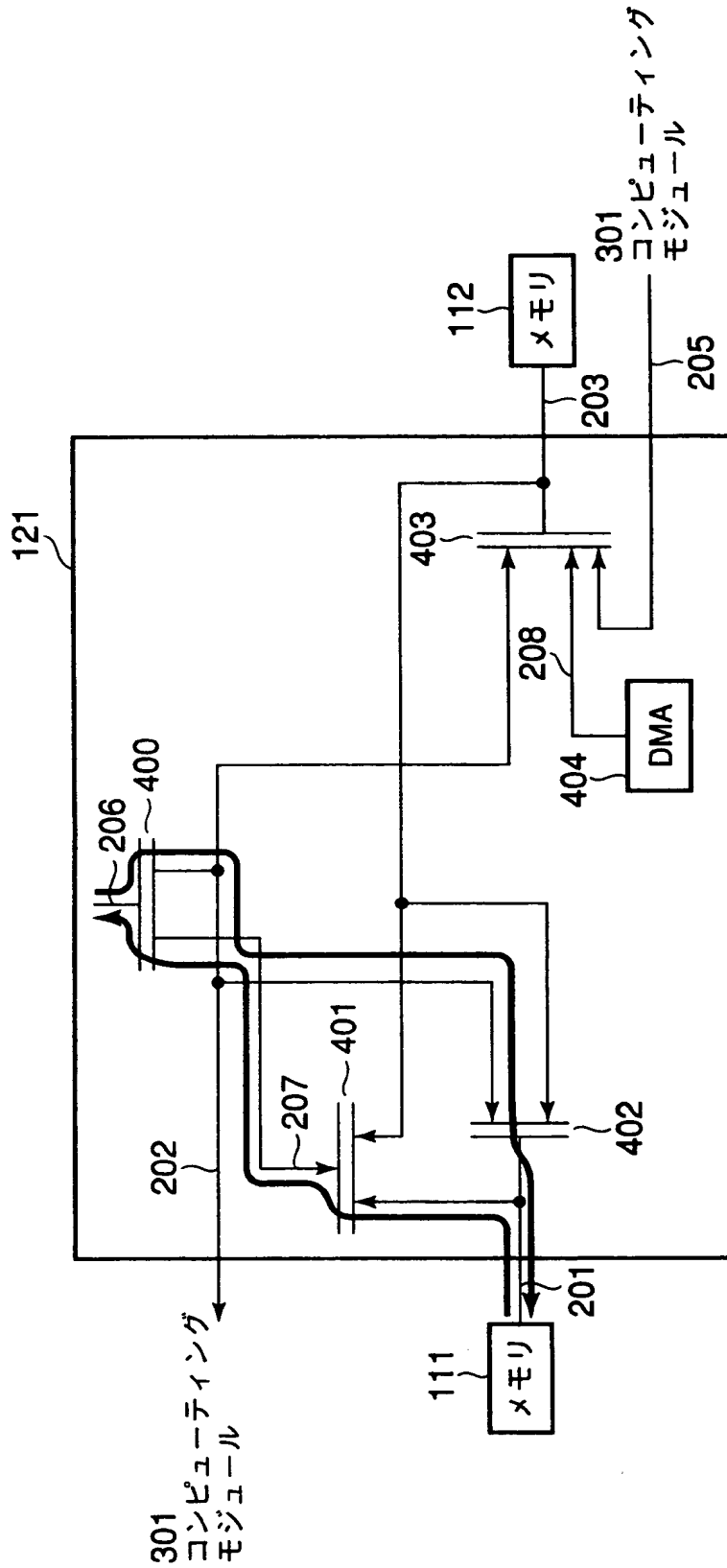
【図 1】



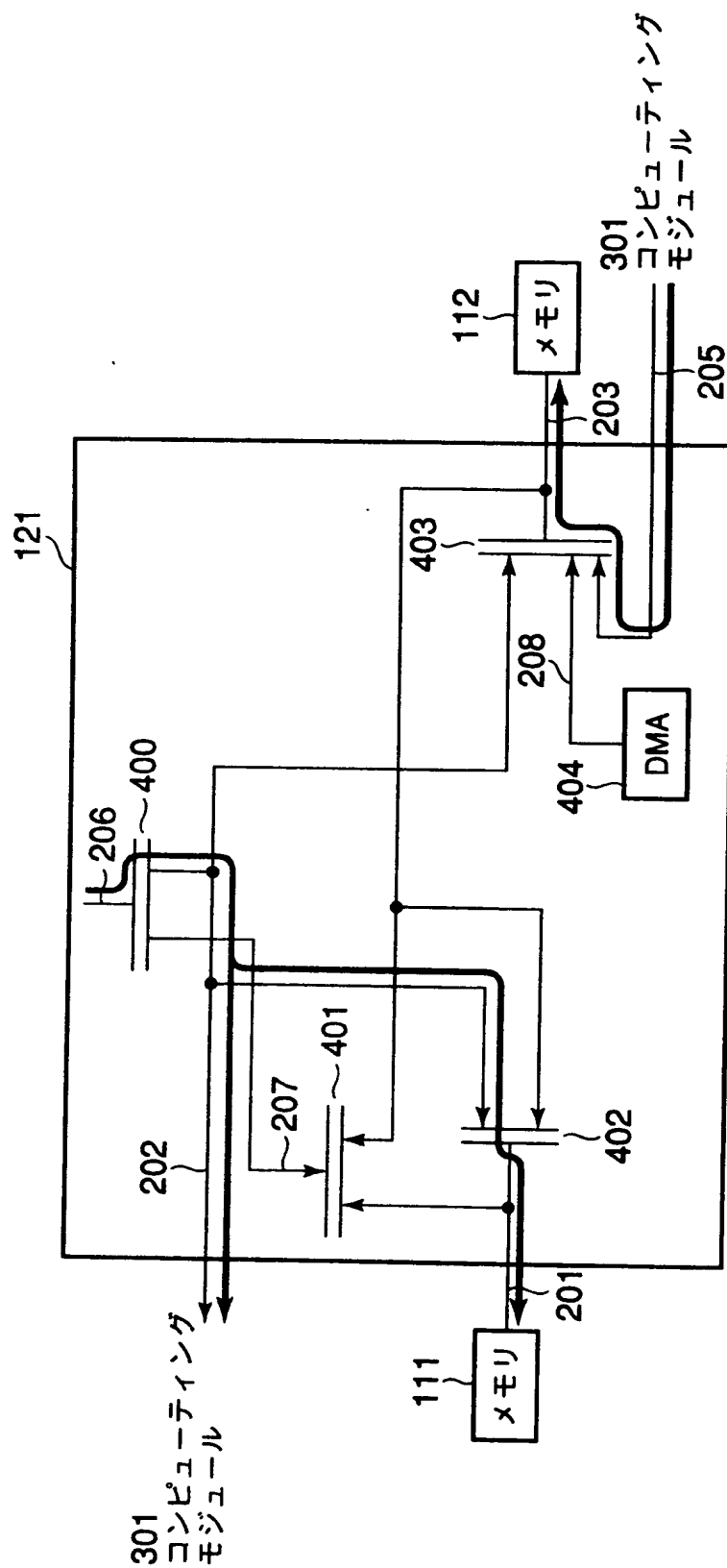
【圖 2】



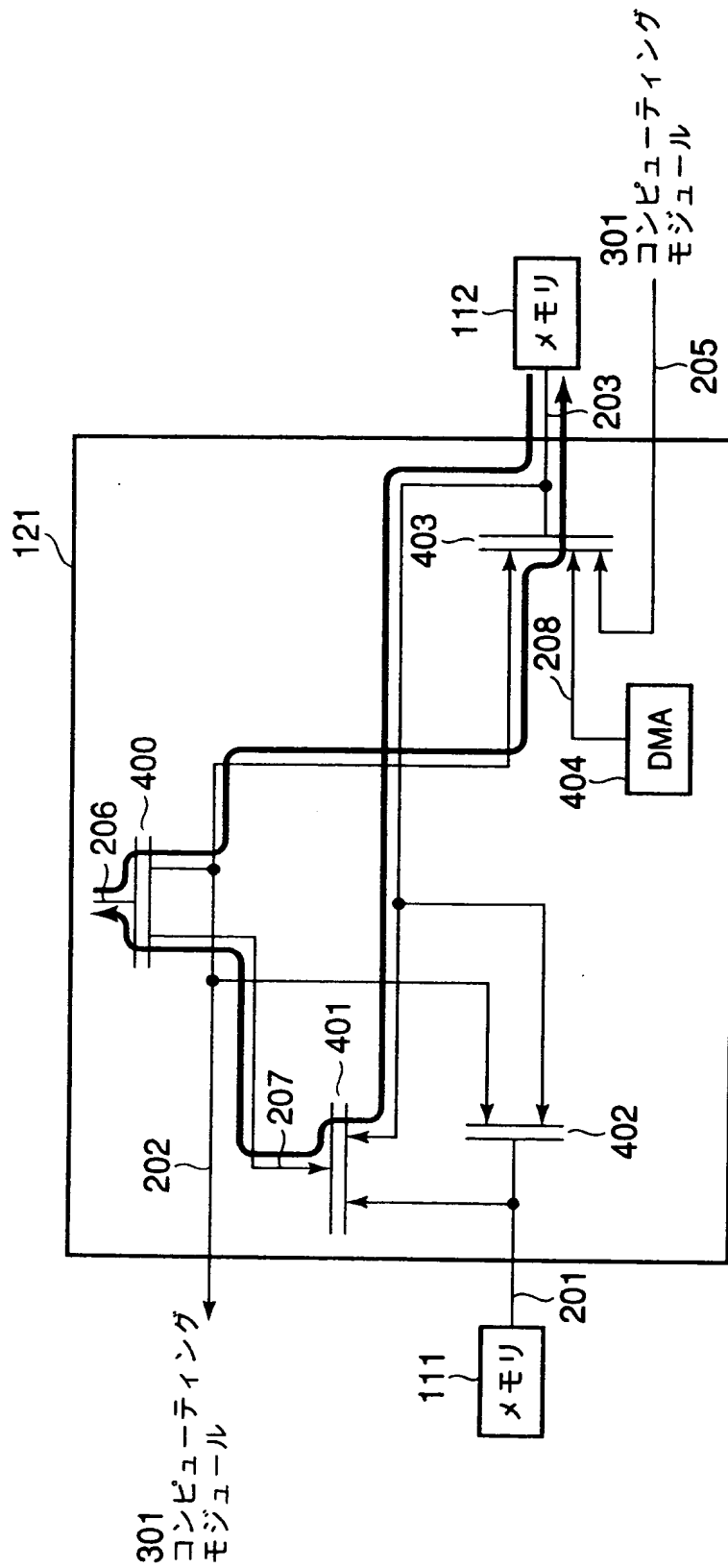
【図3】



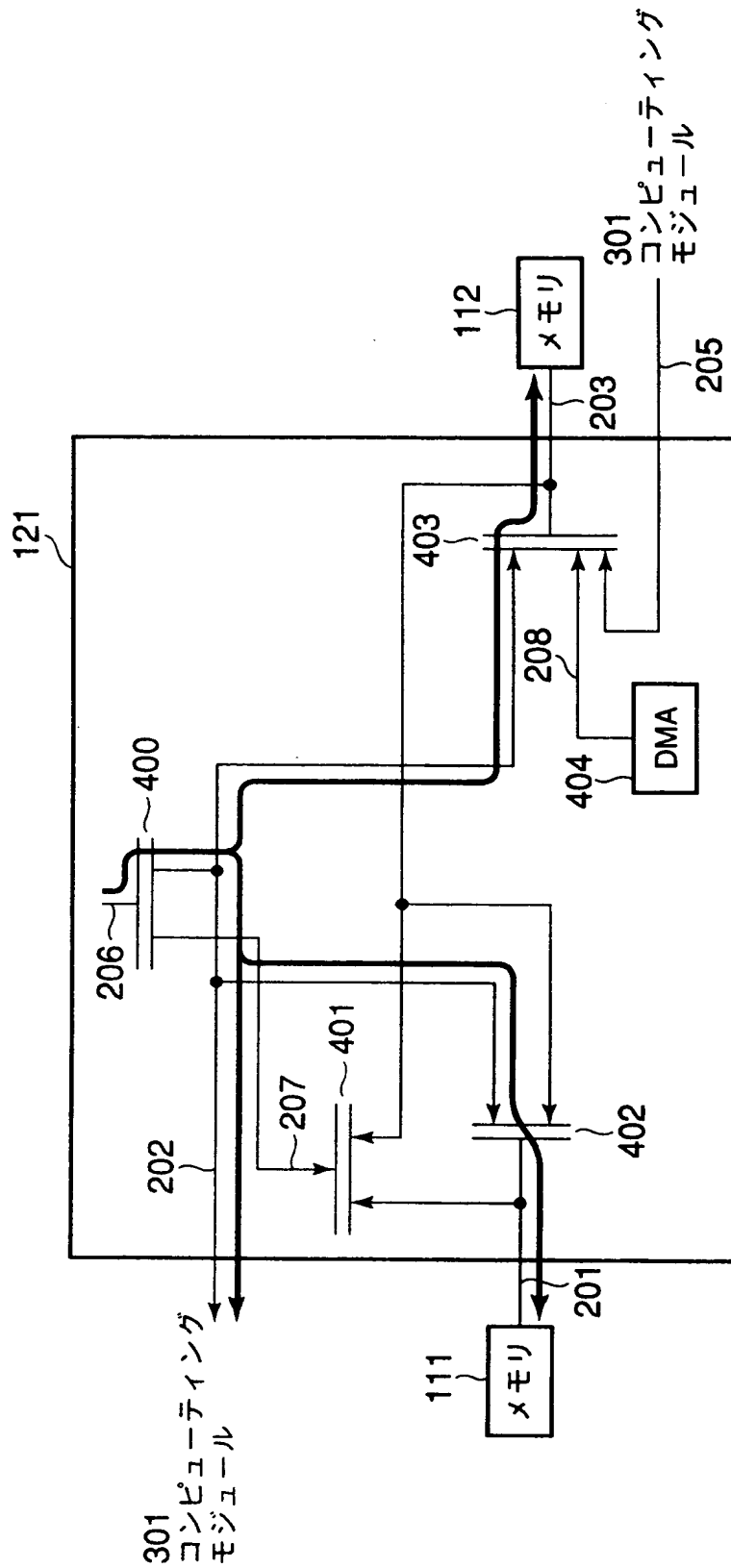
【図4】



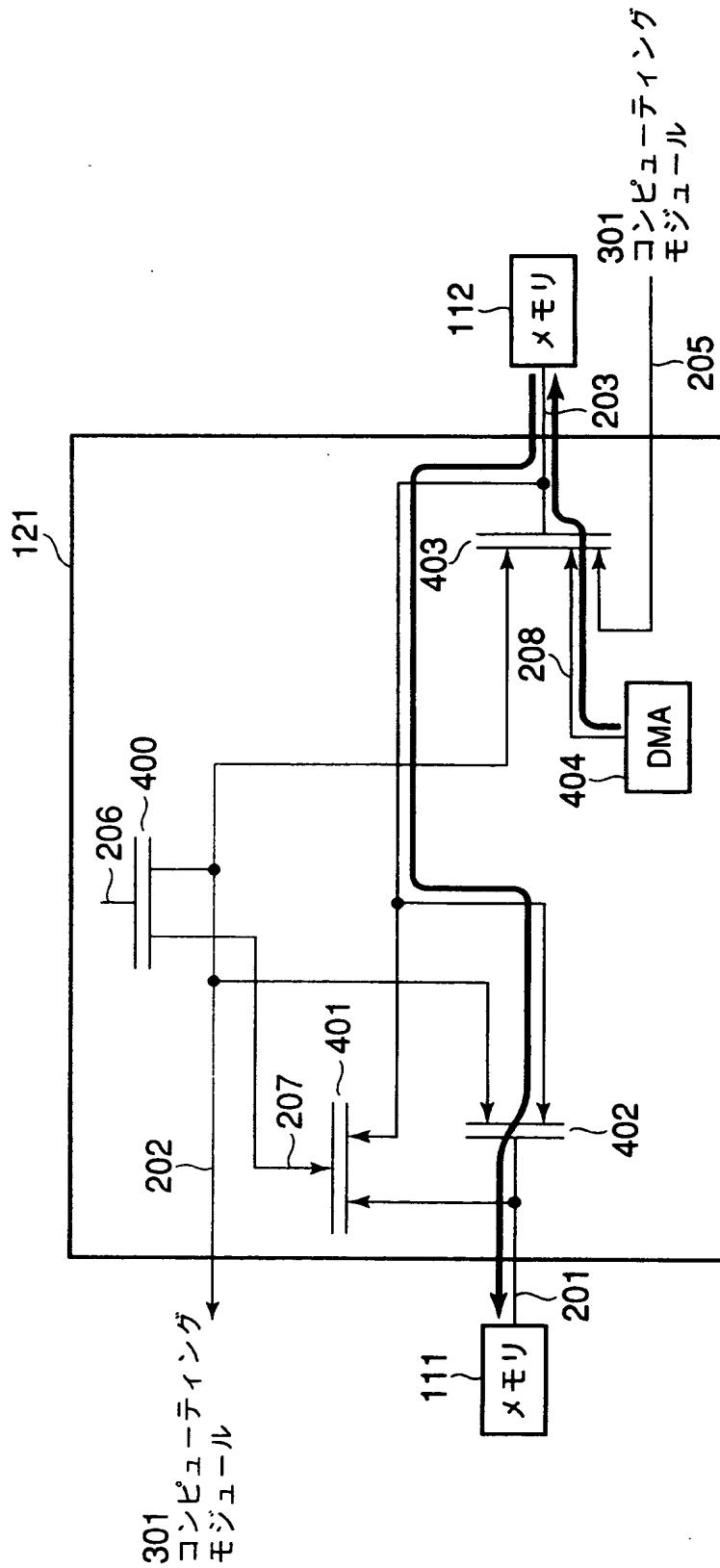
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 運用状態から切り離されたコンピューティングモジュールを組み込むときの停止時間の短いフォルトトレラントコンピュータを提供する。

【解決手段】 モジュール 3 0 0 が通常の運用中には、プロセッサ 1 0 1, 1 0 2 はモジュール 3 0 0 内の第 1 の記憶手段 1 1 1 を用いて動作する。また、第 2 の記憶手段 1 1 2 のデータは他のモジュール 3 0 1 内のプロセッサ 1 0 3, 1 0 4 により更新されている。

モジュール 3 0 0 が通常の運用から一旦外れ、再び通常の運用に戻るとき、モジュール 3 0 0 内のプロセッサ 1 0 1, 1 0 2 は第 2 の記憶手段 1 1 2 を用いて動作を開始する。また、メモリ制御部 1 2 1 内にあるデータコピー手段は、モジュール 3 0 0 内のプロセッサ 1 0 1, 1 0 2 からの第 2 の記憶手段 1 1 2 へのアクセスの合間に、第 2 の記憶手段 1 1 2 内のデータを第 1 の記憶手段 1 1 1 にコピーする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社